

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-112335

(43)Date of publication of application : 23.04.1999

(51)Int.Cl.

H03L 7/089

H03D 13/00

H03K 5/26

(21)Application number : 09-274905

(71)Applicant : NEC CORP

(22)Date of filing : 08.10.1997

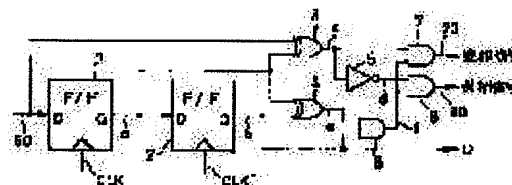
(72)Inventor : FUKAISHI MUNEO

(54) PHASE COMPARISON CIRCUIT, PHASE LOCKED LOOP CIRCUIT USING THE SAME AND SERIAL TO PARALLEL CONVERSION CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To compare the phases of both signals when the repetitive frequencies of data and a clock, whose phases are to be compared is different each other especially when the repetitive frequency of the clock is 1/2 of the repetitive frequency by means of clock information of data.

SOLUTION: The output of F/F 2 delaying the output (a) of F/F1 taking in inputted data with the VCO clock CLK by 1/2 clock by using the inverted clock CLK' of the clock CLK is set to be (b). Input data and the output (a) are exclusively ORed and an output (c) is obtained. The output (a) and the output (b) are exclusively ORed and an output (e) is obtained. The output (b) and the output (e) are AND-operated and an output (f) is obtained. The output (c) and the output (f) are ANDed and a phase advance signal 70 is derived. An output (d) being the inversion signal of the output (c) and the output (f) are ANDed and a phase delay signal 80 is derived.



LEGAL STATUS

[Date of request for examination]

08.10.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

3094971

[Date of registration]

04.08.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-112335

(43) 公開日 平成11年(1999) 4月23日

(51) Int.Cl.⁶

識別記号

F I

H 0 3 L 7/089

H 0 3 L 7/08

D

H 0 3 D 13/00

H 0 3 D 13/00

A

H 0 3 K 5/26

H 0 3 K 5/26

P

審査請求 有 請求項の数 7 O L (全 9 頁)

(21) 出願番号

特願平9-274905

(22) 出願日

平成9年(1997)10月8日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 深石 宗生

東京都港区芝五丁目7番1号 日本電気株式会社社内

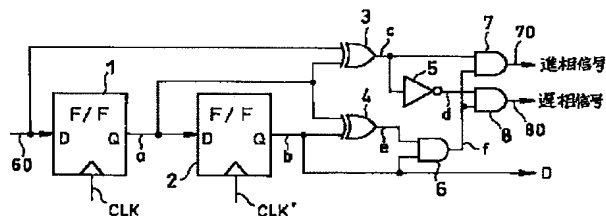
(74) 代理人 弁理士 ▲柳▼川 信

(54) 【発明の名称】 位相比較回路並びにこれを用いた位相同期ループ回路及びシリアルーパラレル変換回路

(57) 【要約】

【課題】 位相比較を行うデータとクロックとの繰返し周波数が異なる場合、特にクロックの繰返し周波数がデータのクロック情報による繰返し周波数の1/2である場合に両信号の位相を比較できるようにする。

【解決手段】 入力されるデータをVCOクロックCLKで取込むF/F1の出力aを、クロックCLKの反転クロックCLK'を用いて1/2クロック遅延させるF/F2の出力をbとする。入力データと出力aとの排他的論理和をとって出力cとする。出力aと出力bとの排他的論理和をとって出力eとする。出力bと出力eとの論理積をとって出力fとする。出力cと出力fとの論理積を進相信号70として導出する。出力cの反転信号である出力dと出力fとの論理積を遅相信号80として導出する。



【特許請求の範囲】

【請求項1】 入力データに同期したデータクロックの繰返し周波数の略1/2の繰返し周波数を有する第1のクロックの遷移タイミングで前記入力データを一時保持する第1の保持回路と、前記第1のクロックを反転した第2のクロックの遷移タイミングで前記第1の保持回路の出力データを保持する第2の保持回路と、前記第1の保持回路の出力データと前記入力データとの位相を比較する第1の比較手段と、前記第1の保持回路の出力データと前記第2の保持回路の出力データとの位相を比較する第2の比較手段とを含み、前記第1の比較手段及び前記第2の比較手段における比較結果を位相比較結果として導出するようにしたことを特徴とする位相比較回路。

【請求項2】 前記第1の比較手段における比較結果は位相が進んでいることを示し、前記第2の比較手段における比較結果は位相が遅れていることを示すことを特徴とする請求項1記載の位相比較回路。

【請求項3】 前記第1の保持回路は前記入力データを前記第1のクロックの遷移タイミングで取込むフリップフロップであり、前記第2の保持回路は前記第1の保持回路の出力データを前記第2のクロックの遷移タイミングで取込むフリップフロップであることを特徴とする請求項1又は2記載の位相比較回路。

【請求項4】 請求項1～3のいずれかに記載の位相比較回路と、この位相比較回路の位相比較結果に応じて発振周波数を変化せしめる発振手段とを含み、前記発振手段の発振出力に同期したクロックを前記第1のクロックとして前記位相比較手段に帰還するようにしたことを特徴とする位相同期ループ回路。

【請求項5】 シリアル入力データに同期したデータクロックの繰返し周波数の略1/2の繰返し周波数を有する第1のクロックの遷移タイミングで前記入力データを一時保持する第1の保持回路と、前記第1のクロックを反転した第2のクロックの遷移タイミングで前記第1の保持回路の出力データを保持する第2の保持回路と、前記第2のクロックの遷移タイミングで前記入力データを保持する第3の保持回路とを含むN個（Nは正の整数、以下同じ）のデータ保持回路と、前記N個のデータ保持回路のうちの少なくとも1つに設けられ、前記第1の保持回路の出力データと前記入力データとの位相を比較する第1の比較手段と、前記第1の保持回路の出力データと前記第2の保持回路の出力データとの位相を比較する第2の比較手段とを含む比較回路と、前記第1のクロックを、前記N個のデータ保持回路に対して等間隔の位相差で与えるクロック制御回路と、を含み、前記N個のデータ保持回路の第2及び第3の保持回路の出力データをパラレルデータとして導出し、前記比較回路の前記第1の比較手段及び前記第2の比較手段における比較結果を位相比較結果として導出するよう

にしたことを特徴とするシリアルーパラレル変換回路。

【請求項6】 前記第1の比較手段における比較結果は位相が進んでいることを示し、前記第2の比較手段における比較結果は位相が遅れていることを示すことを特徴とする請求項5記載のシリアルーパラレル変換回路。

【請求項7】 前記第1の保持回路は前記入力データを前記第1のクロックの遷移タイミングで取込むフリップフロップであり、前記第2の保持回路は前記第1の保持回路の出力データを前記第2のクロックの遷移タイミングで取込むフリップフロップであり、前記第3の保持回路は前記入力データを前記第2のクロックの遷移タイミングで取込むフリップフロップであることを特徴とする請求項5又は6記載のシリアルーパラレル変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は位相比較回路に関し、特に位相同期ループ（PLL；Phase Locked Loop）等に用いる位相比較回路に関する。

【0002】

【従来の技術】現在、高速なシリアルデータ伝送システムの実現に向けた研究、開発が盛んに行われている。シリアルデータを確実に受信するためには、シリアルデータを受信する回路で使われるクロック信号とシリアルデータとの間で同期がとれていなければならない。

【0003】伝送されるNRZ（No Return to Zero）信号等のデジタルシリアル信号データには、その信号が作成された時に使われたクロックの繰返し周波数に関する情報（以下、クロック情報と呼ぶ）が潜在的に含まれている。シリアルデータと受信回路のクロックとの同期を確実にとるためには、受信する回路で使われるクロックを、受信するシリアルデータを用いて作成することが望ましい。

【0004】以上のように、伝送システムを構築する上でクロック再生回路は必須な回路である。このクロック再生回路は、装置の小型化、低価格化等の観点から、集積回路上のPLLで実現することが多い。

【0005】一般にPLLは、図6に示されているような、位相比較回路61、ループフィルタ62及び電圧制御発振器（Voltage Control Oscillator；以下、VCOと呼ぶ）63によって構成される。

【0006】位相比較回路61は、入力データ60とVCO63の出力64との位相を比較して進相信号及び遅相信号を出力する回路である。

【0007】ループフィルタ62は、内部に時定数回路を有し、位相比較回路61から出力される進相信号及び遅相信号によってその時定数回路の容量を充電するのである。そして、この充電電圧でVCO63の発振周波数を制御するのである。

【0008】従来、PLLに用いる位相比較回路は、例

例えば、アイ・トリプル・イー・トランザクションズ・オン・エレクトロン・デバイス、第ED-32巻、第12号(Charles R. Hogge; IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. ED-32, NO. 12, DECEMBER 1985)に示されている。

【0009】この位相比較回路61は、図7に示されているような構成になっている。すなわち、入力データ60の遷移点を検出する立上り及び立下り遷移点検出回路71と、この検出結果と入力データ60との位相差を判定する位相差判定回路72とを含んで構成されており、進相信号及び遅相信号を送出するものである。この位相比較回路61は、データとクロックとの位相比較を行いながらクロックによるデータの識別ができるという利点を有している。

【0010】かかる位相比較回路のより詳細な構成が図8に示されている。図8中のフリップフロップ(以下、F/Fと呼ぶ)1及び2と、排他的論理和ゲート(EXOR)4とが図7中の立上り及び立下り遷移点検出回路71に対応する。また、図8中のEXOR3が図7中の位相差判定回路72に対応する。なお、F/F1及びF/F2は、共に、周知のD型フリップフロップを利用して構成するものとする。

【0011】かかる構成において、F/F1は、VCOから送出されるクロック(以下、VCOクロックと呼ぶ)CLKの立上り遷移点において入力データ60を取込んで保持し、Q端子から出力aとして送出する。F/F2は、VCOクロックCLKを極性反転したクロックCLK'の立上り遷移点(クロックCLKの立下り遷移点)において出力aを取込んで保持し、Q端子から出力bとして送出する。EXOR3は、入力データ60とF/F1の出力aとの排他的論理和をとり、出力cとして送出する。EXOR4は、F/F1の出力aとF/F2の出力bとの排他的論理和をとり、出力eとして送出する。

【0012】EXOR3の出力cは、位相が進んでいることを示す進相信号としてループフィルタ(図6参照)に出力される。また、EXOR4の出力eは、位相が遅れていることを示す遅相信号としてループフィルタ(図6参照)に出力される。

【0013】

【発明が解決しようとする課題】シリアルデータ伝送システムにおいて、伝送するデータの情報量を多くするためには、伝送速度を上げることが有効となる。しかしながら、伝送データの伝送速度は、送受信回路を集積化しているLSI(Large Scale Integrated Circuit)の動作速度、すなわちLSIを構成する半導体デバイスの動作速度によって制限される。したがって、従来の回路において伝送速度を向上させるためには、半導体デバイスの素子性能を向上させ

る必要がある。

【0014】そこで、例えば、アイ・トリプル・イー・ジャーナル・オブ・ソリッドステイト・サーキット、第31巻、第12号(Chih-Kong Ken Yang, and Mark A. Horowitz; IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 31, NO. 12, DECEMBER 1996)に示されているような技術が用いられている。この技術は、クロック周波数としてデータの伝送速度よりも小さなものを用いる並列化構成を用いて、素子性能を向上させることなくデータの伝送速度を向上させる技術である。

【0015】しかしながら、並列化するbit数を多くすると位相の異なるクロックを正確に制御する必要があり、これは非常に困難である。加えて、並列化するbit数が多くなると回路規模が大きくなり、消費電力の増大を招く。

【0016】そこで、並列化構成の中でも最も並列化が行われない、クロック周波数がデータ伝送周波数の1/2であるシリアルデータを2bitの並列データに並列化する並列化構成は、クロック制御も簡単に回路規模も大きくならず消費電力の増加も抑制できる。このため、かかる並列化構成は、素子性能を向上しないで高速なデータ伝送速度を得る有効な手段となる。

【0017】このように、データの伝送速度、すなわちデータのクロック情報とデータを受信する回路で用いられるクロックの繰返し周波数とが異なる場合においても、前述したように、伝送されてくるデータを確実に受信するためにはデータとクロックとのクロック同士の同期を正確にとっておくことが必要である。

【0018】前述した従来の位相比較回路では、データのクロック情報とデータ受信回路で用いられるクロックの周波数とが同一の場合は正常に両者の位相比較を行うことができる。しかしながら、データのクロック情報の1/2の繰返し周波数のクロックを用いてデータを抽出したい場合等、データとその受信回路におけるクロックとの繰返し周波数が異なる場合は、位相を比較することができない。

【0019】本発明は上述した従来技術の欠点を解決するためになされたものであり、その目的は、位相比較を行うデータとクロックとの繰返し周波数が異なる場合、特にクロックの繰返し周波数がデータのクロック情報による繰返し周波数の1/2である場合に両信号の位相を比較できるようにすることである。

【0020】

【課題を解決するための手段】本発明による位相比較回路は、入力データに同期したデータクロックの繰返し周波数の略1/2の繰返し周波数を有する第1のクロックの遷移タイミングで前記入力データを一時保持する第1の保持回路と、前記第1のクロックを反転した第2のク

ロックの遷移タイミングで前記第1の保持回路の出力データを保持する第2の保持回路と、前記第1の保持回路の出力データと前記入力データとの位相を比較する第1の比較手段と、前記第1の保持回路の出力データと前記第2の保持回路の出力データとの位相を比較する第2の比較手段とを含み、前記第1の比較手段及び前記第2の比較手段における比較結果を位相比較結果として導出するようにしたことを特徴とする。

【0021】本発明による位相同期ループ回路は、上記位相比較回路と、この位相比較回路の位相比較結果に応じて発振周波数を変化せしめる発振手段とを含み、前記発振手段の発振出力に同期したクロックを前記第1のクロックとして前記位相比較手段に帰還するようにしたことを特徴とする。

【0022】本発明によるシリアルーパラレル変換回路は、シリアル入力データに同期したデータクロックの繰返し周波数の略1/2の繰返し周波数を有する第1のクロックの遷移タイミングで前記入力データを一時保持する第1の保持回路と、前記第1のクロックを反転した第2のクロックの遷移タイミングで前記第1の保持回路の出力データを保持する第2の保持回路と、前記第2のクロックの遷移タイミングで前記入力データを保持する第3の保持回路とを含むN個（Nは正の整数、以下同じ）のデータ保持回路と、前記N個のデータ保持回路のうちの少なくとも1つに設けられ、前記第1の保持回路の出力データと前記入力データとの位相を比較する第1の比較手段と、前記第1の保持回路の出力データと前記第2の保持回路の出力データとの位相を比較する第2の比較手段とを含む比較回路と、前記第1のクロックを、前記N個のデータ保持回路に対して等間隔の位相差で与えるクロック制御回路と、を含み、前記N個のデータ保持回路の第2及び第3の保持回路の出力データをパラレルデータとして導出し、前記比較回路の前記第1の比較手段及び前記第2の比較手段における比較結果を位相比較結果として導出するようにしたことを特徴とする。

【0023】要するに、入力データに同期したデータクロックの繰返し周波数の略1/2の繰返し周波数を有するクロックの遷移タイミングで入力データを一時保持する第1の保持回路と、そのクロックを反転したクロックの遷移タイミングで第1の保持回路の出力データを保持する第2の保持回路とを設け、第1の保持回路の出力データと入力データ、第1及び第2の保持回路の出力データ、の位相を夫々比較しその比較結果を出力することによって、入力される一方の信号が間欠的なパルス信号のNRZ信号であり、かつ、他方のクロック信号の周波数がNRZ信号の周波数の1/2である場合においても、2つの信号の位相を比較することができるのである。

【0024】そして、この位相比較回路を用いてPLLを構成でき、またシリアルーパラレル変換回路を構成することができるのである。

【0025】

【発明の実施の形態】次に、本発明の実施の一形態について図面を参照して説明する。

【0026】図2は本実施形態による位相比較回路の構成を示すブロック図である。同図において、本実施形態による位相比較回路は、立下り遷移点検出回路21と、位相差判定回路22とを含んで構成されており、進相信号及び遅相信号を送出するものである。

【0027】かかる位相比較回路のより詳細な構成が図1に示されている。同図において、図8と同等部分は同一符号により示されており、その部分の詳細な説明は省略する。

【0028】図1において、2つのF/F1及びF/F2と、EXOR4と、論理積ゲート（AND）6とが図2に示されている立下り遷移点検出回路21に対応する。また、EXOR3と、インバータ（INV）5と、AND7及びAND8とが図2に示されている位相差判定回路22に対応する。

【0029】すなわち、立下り遷移点検出回路21は、外部入力信号である入力データ60を内部信号であるVCOクロックCLKでラッチして取込むF/F1と、このF/F1の出力aをVCOクロックCLKを極性反転したクロックCLK[̄]で取込むことによって1/2クロック分遅延させるF/F2と、入力データ60とF/F1の出力aとの排他的論理和をとるEXOR3と、F/F1の出力aとF/F2の出力bとの排他的論理和をとるEXOR4とを含んで構成されている。なお、F/F1及びF/F2は、共に、周知のD型フリップフロップを利用して構成するものとする。

【0030】また、位相差判定回路22は、EXOR3の出力を極性反転した否定出力を発生するインバータ（INV）5と、F/F2の出力とEXOR4の出力との論理積をとるAND6と、EXOR3の出力とAND6の出力との論理積をとることにより進相信号70を出力するAND7と、INV5の出力とAND6の出力との論理積をとることにより遅相信号80を出力するAND8とを含んで構成されている。

【0031】かかる構成において、F/F1は、そのデータ入力端子に入力データであるNRZデータを入力し、クロック入力端子にVCOクロックCLKを入力する。そしてF/F1は、NRZデータをVCOクロックCLKに同期させたデータである出力aを、出力端子から送出する。

【0032】本例においては、VCOクロックCLKの繰返し周波数はNRZデータのクロック情報による繰返し周波数のほぼ1/2であるものとする。このため、出力aはNRZデータとはならず、VCOクロックの立下り時にF/F1に入力されるNRZデータがVCOクロックCLKに同期した信号として出力される。

【0033】F/F2は、そのデータ入力端子にF/F

1の出力aを入力し、クロック入力端子にVCOクロックCLKを極性反転したクロックCLK'を入力する。そしてF/F2は、F/F1の出力aをVCOクロックCLKの1/2クロック分遅延させたデータである出力bを、出力端子から送出する。この出力bは、クロックに同期したデータDとして外部に出力される。

【0034】EXOR3は、入力されるNRZデータとF/F1の出力aとの排他的論理和をとり出力cを送出する。これにより、出力cには入力されるNRZデータとVCOクロックCLKとの位相誤差の情報が含まれることとなる。

【0035】EXOR4はF/F1の出力aとF/F2の出力bとの排他的論理和をとり、出力eを送出する。出力eはVCOクロックに同期したF/F1の出力aの遷移点を示す信号となる。

【0036】AND6は、EXOR4の出力eとF/F2の出力bとの論理積をとっており、出力fを送出する。これにより、出力fにはF/F1の出力aの“1”から“0”への立下り遷移点のみを示す信号となる。

【0037】AND7は、AND6の出力fとEXOR3の出力cとの論理積をとっており、進相信号70を出力する。これは入力データとVCOクロックとの位相誤差の情報を含むF/F1の出力aの中で、位相誤差部分だけを取り出すことができるようにしているのである。

【0038】AND8は、AND6の出力fとEXOR3の出力cを極性反転するINV5の出力dとの論理積をとっており、遅相信号80を出力する。

【0039】ここで、本発明の位相比較回路の動作について図3のタイミングチャートを参照して説明する。同図には、図1中の主要信号が示されている。

【0040】例えば図3中の符号gによって示されているような、F/F1の出力aが連続して“1”となる領域に着目する。かかる領域等では、符号hによって示されているように、EXOR3の出力cに位相誤差以外の入力データ成分が現れてしまう。出力cにおいて位相誤差を含んでいるのは、符号iによって示されているようなF/F1の出力aが“1”から“0”へ変化する遷移点だけである。

【0041】そこで、本例では、その位相誤差のみを抽出するようにEXOR4及びAND6を用いて作成される出力fを用いることによって、出力aに含まれる位相誤差だけを抽出しているのである。なお、AND6の出力fとEXOR3の出力cを極性反転するINV5の出力dとの論理積を、AND8においてとっており、AND8から遅相信号80が出力される。

【0042】ところで、同図中の①の場合や②の場合は、進相信号70の脉冲幅と遅相信号80の脉冲幅とが異なる。このため、クロックにジッタが生じた場合には、データを正しく取込める可能性が低い。

【0043】一方、同図中の③の場合は、進相信号70

の脉冲幅と遅相信号80の脉冲幅とが等しい。このため、クロックにジッタが生じた場合でも、データを正しく取込める可能性が高い。すなわち、進相信号70と遅相信号80とが同一脉冲幅となるときは、位相比較回路に輸入される2つの信号の同期がとれており、VCOクロックはNRZデータの中心で遷移することになる。よって、VCOから発生されるクロックによってNRZ信号を確実に識別することができるのである。

【0044】以上のように、本回路では、入力される一方の信号が間欠的なパルス信号のNRZ信号であり、かつ、他方のクロック信号の周波数がNRZ信号の周波数の1/2である場合においても、2つの信号の位相を比較することができるのである。よって、本位相比較回路を用いてPLLを構成すれば、入力されるデータに確実に同期しているクロックを得ることができるのである。

【0045】ここで、本回路のより具体的な利用例について説明する。図4は、図1に示されている位相比較回路を利用したシリアル-パラレル変換回路の具体的な構成例を示すブロック図であり、図1と同等部分は同一符号により示されている。同図には、シリアルデータを2ビットのパラレルデータに変換する変換回路が示されている。

【0046】同図に示されているように、本回路は、F/F1-1、F/F2-1及びF/F1-2からなるデータ保持回路と、クロックCLK1をF/F1-1に、クロックCLK1の反転クロックであるクロックCLK1'をF/F2-1に、クロックCLK2をF/F1-2に、夫々与えるクロック発生器40とを含んで構成されている。なお、F/F1-1及びF/F2-1並びにF/F1-2は、全て周知のD型フリップフロップを利用して構成するものとする。

【0047】ここで、クロック発生器40から出力されるクロックCLK1とクロックCLK2とは、位相差が互いに1/2周期ずれているものとする。つまり、クロックCLK1とクロックCLK2とは、互いに等しい位相差を有していることになる。なお、クロックCLK2は、クロックCLK1'と実質的に同一の信号であるので、クロックCLK2の代わりにクロックCLK1'をF/F1-2に入力しても良い。

【0048】第1の保持回路内のF/F2-1の出力はデータD1として、第2の保持回路内のF/F1-2の出力はデータD2として、同一タイミングで夫々出力される。これらデータD1及びD2は、パラレルデータを構成することになる。

【0049】ところで、本回路は、入力データ60とF/F1-1の出力aとの排他的論理和をとるEXOR3と、F/F1-1の出力aとF/F2-1の出力bとの排他的論理和をとるEXOR4と、EXOR3の出力を極性反転した否定出力を発生するINV5と、F/F2-1の出力とEXOR4の出力との論理積をとるAND

6と、EXOR3の出力とAND6の出力との論理積をとることにより進相信号70を出力するAND7と、INV5の出力とAND6の出力との論理積をとることにより遅相信号80を出力するAND8とを含んで構成されている。

【0050】要するに本回路は、 $F/F1-1$ 及び $F/F2-1$ 並びに $F/F2-2$ からなるデータ保持回路を含んで構成され、 $F/F1-1$ 及び $F/F2-1$ には上述した各ゲート3〜8が付加されることによって位相比較回路が構成されているのである。そして、その位相比較結果は、データD1及びD2と共に、外部に出力されるのである。

【0051】このように、本例のシリアルーパラレル変換回路は、入力されるシリアルデータをデータD1及びD2からなる2ビットのバラレルデータに変換することができるのである。

【0052】図5は、図1に示されている位相比較回路を利用したシリアルーパラレル変換回路の他の構成例を示すブロック図であり、図1及び図4と同等部分は同一符号により示されている。同図には、シリアルデータを4ビットのバラレルデータに変換する変換回路が示されている。

【0053】同図に示されているように、本回路は、 $F/F1-1$ 及び $F/F2-1$ 並びに $F/F1-2$ からなる第1のデータ保持回路と、 $F/F1-3$ 及び $F/F2-3$ 並びに $F/F1-4$ からなる第2のデータ保持回路とを含んで構成されている。なお、図中の F/F は、全て周知のD型フリップフロップを利用して構成するものとする。

【0054】また、本回路は、クロックCLK1を $F/F1-1$ に、クロックCLK1の反転クロックであるクロックCLK1'を $F/F2-1$ 及び $F/F1-2$ に、クロックCLK2を $F/F1-3$ に、クロックCLK2の反転クロックであるクロックCLK2'を $F/F2-3$ 及び $F/F1-4$ に、夫々与えるクロック発生器50を含んで構成されている。

【0055】ここで、クロック発生器50から出力されるクロックCLK1とクロックCLK2とは、位相が互いに1/4周期ずれているものとする。つまり、クロックCLK1、クロックCLK1'、クロックCLK2、クロックCLK2'は、互いに等しい位相差、すなわち1/4周期ずつの位相差を有していることになる。

【0056】第1のデータ保持回路内の $F/F2-1$ の出力はデータD1として、第1のデータ保持回路内の $F/F1-2$ の出力はデータD3として、第2のデータ保持回路内の $F/F2-3$ の出力はデータD2として、第2のデータ保持回路内の $F/F1-4$ の出力はデータD4として、夫々出力される。これらデータD1〜D4は、バラレルデータを構成することになる。

【0057】ところで、図4の場合と同様に、本回路

も、EXOR3及び4と、INV5と、AND6〜8とを含んで構成されている。要するに本回路は、 $F/F1-1$ 及び $F/F2-1$ 並びに $F/F1-2$ からなる第1のデータ保持回路と、 $F/F1-3$ 及び $F/F2-3$ 並びに $F/F1-4$ からなる第2のデータ保持回路とを含んで構成され、 $F/F1-1$ 及び $F/F2-1$ には上述した各ゲート3〜8が付加されることによって位相比較回路が構成されているのである。そして、その位相比較結果は、データD1〜D4と共に、外部に出力されるのである。このように、本例のシリアルーパラレル変換回路は、入力されるシリアルデータをデータD1〜D4からなる4ビットのバラレルデータに変換することができるのである。

【0058】以下同様に、図4に示されているデータ保持回路をN個(Nは正の整数)設け、そのうちの1つデータ保持回路にのみ各ゲートを付加しておき互いに異なる位相でシリアルデータを順次取込んで保持すれば、簡単な構成でシリアルデータをバラレルデータに変換できるのである。

【0059】特に、 $N=8$ であればシリアルデータを16ビットのバラレルデータに変換でき、また $N=16$ であれば、シリアルデータを32ビットのバラレルデータに変換できる。このように、MPU(Micro Processing Unit)のデータバスの幅である16ビット又は32ビットのバラレルデータに変換すれば、本回路による変換後のバラレルデータをそのままMPUで取扱うことができるのである。

【0060】

【発明の効果】以上説明したように本発明は、位相比較回路に入力される一方の信号が間欠的なパルス信号のNRZ信号であり、かつ、他方のクロック信号の周波数がNRZ信号の周波数の1/2である場合においても、2つの信号の位相を比較することができるという効果がある。また、位相比較回路に入力される2つの信号の同期がとれているとき、すなわち進相信号と遅相信号とが同一パルス幅となるときは、VCOクロックはNRZデータの中心で遷移することとなり、必ずNRZ信号をVCOから発生されるクロックによって確実に識別することができるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施の一形態による位相比較回路の詳細な構成を示すブロック図である。

【図2】本発明の実施の一形態による位相比較回路の構成を示すブロック図である。

【図3】図1の位相比較回路の動作を示すタイムチャートである。

【図4】図1の位相比較回路を利用したシリアルーパラレル変換回路の一構成例を示すブロック図である。

【図5】図1の位相比較回路を利用したシリアルーパラレル変換回路の他の構成例を示すブロック図である。

【図6】一般的な位相同期ループの構成を示すブロック図である。

【図7】従来の位相比較回路の構成を示すブロック図である。

【図8】従来の位相比較回路のより詳細な構成を示すブロック図である。

*【符号の説明】

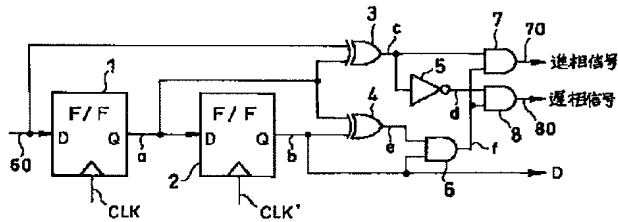
1, 2, 1-1~1-4, 2-1, 2-3 フリップフロップ

3, 4 EXOR

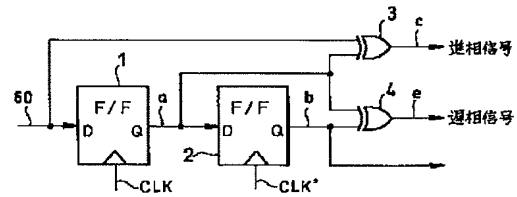
5 インバータ

* 6~8 AND

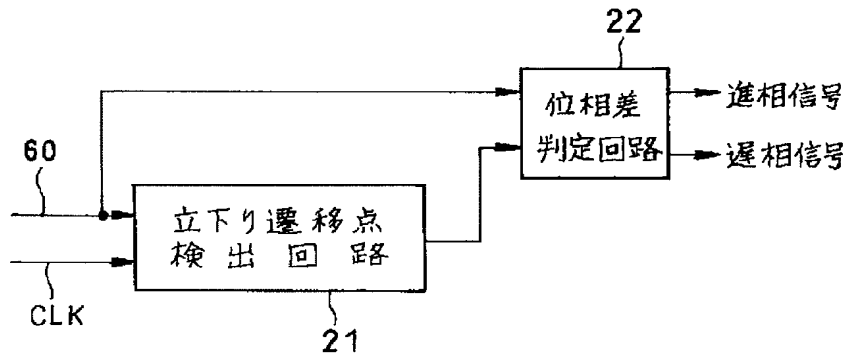
【図1】



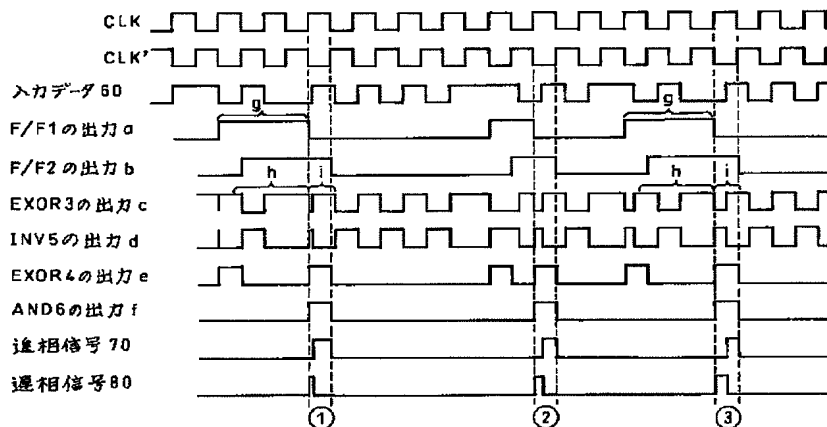
【図8】



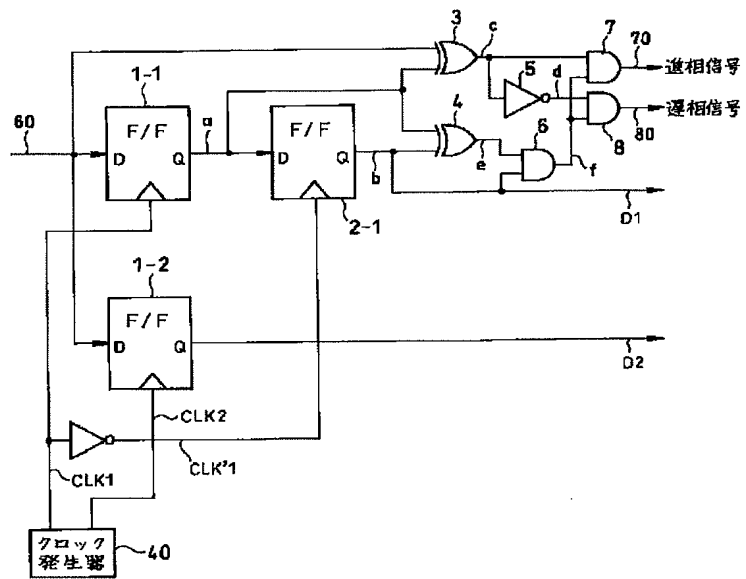
【図2】



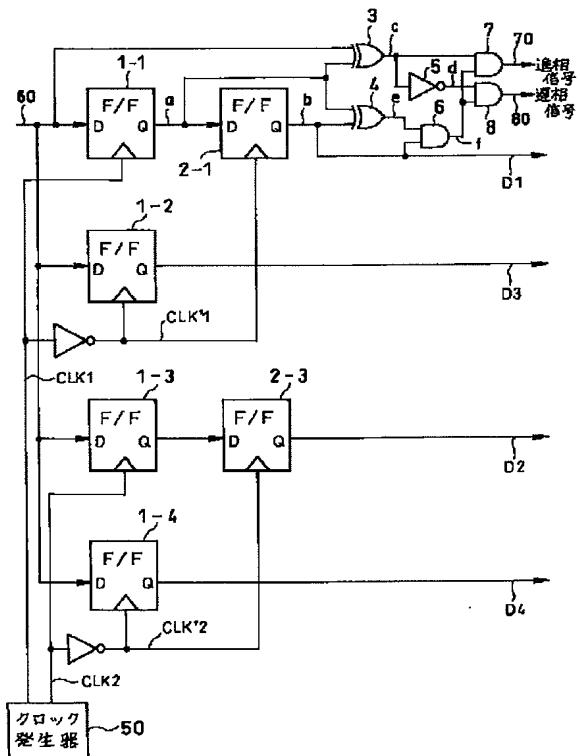
【図3】



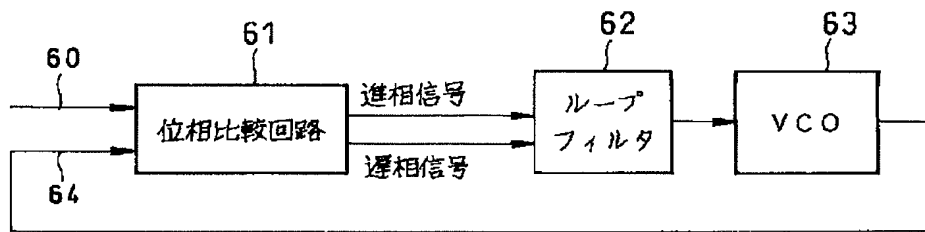
【図4】



【図5】



【図6】



【図7】

